

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001147725 A

(43) Date of publication of application: 29.05.01

(51) Int. Cl

G05F 3/24

G05F 3/26

(21) Application number: 11331908

(22) Date of filing: 22.11.99

(71) Applicant: NEC IC MICROCOMPUT SYST LTD

(72) Inventor: TONDA YASUHIRO

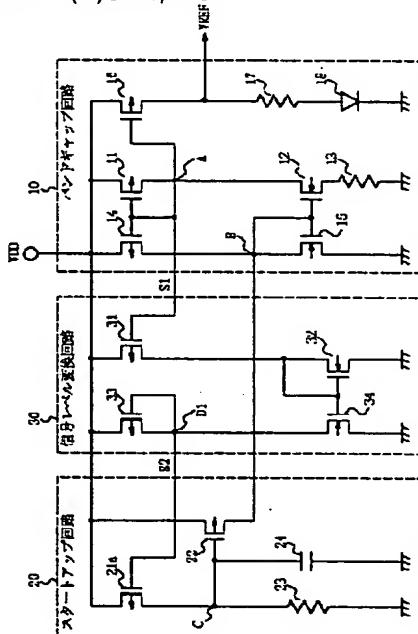
(54) BANDGAP REFERENCE CIRCUIT

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the occupied area of a bandgap reference circuit having a start-up function.

SOLUTION: This bandgap reference circuit is constituted of a bandgap circuit 10 for generating a reference voltage, a start-up circuit 20 for accelerating the stabilization of the circuit 10 and a signal level conversion circuit 30. A transistor, having short channel length, is substituted for a PMOS 21a occupying a large area in the circuit 20, a current mirror is constituted of a PMOS 11 in the circuit 10 and a PMOS 31, having the same channel length as that of the PMOS 11 in order to prevent the generation of malfunction due to the mismatching signal levels, a current mirror is constituted of an NMOS 32 and an NMOS 34 having the same channel length as the NMOS 32, and the channel length of a PMOS 33 is set up to the same channel length of the PMOS 21a in the circuit 20 to constitute a current mirror.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-147725
(P2001-147725A)

(43)公開日 平成13年5月29日(2001.5.29)

(51) Int.Cl.⁷

識別記号

F I
G 0 5 F 3/24
3/26

テーマコード(参考)
5H420

審査請求 有 請求項の數2 C.I. (A-12頁)

(21) 出願番号 特願平11-331908

(22)出願日 平成11年11月22日(1999.11.22)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 頼田 保弘
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100082935

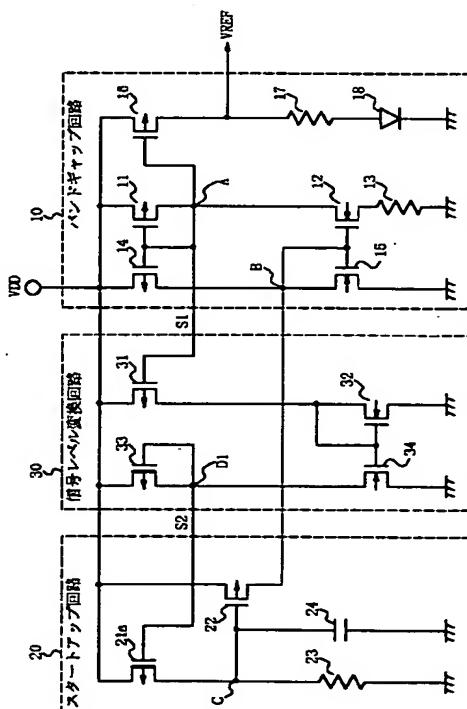
弁理士 京本 直樹 (外2名)
Fターム(参考) 5H420 NA23 NB02 NB22 NB23 NB25
NE03 NE28

(54) 【発明の名称】 バンドギャッププレファレンス回路

(57) 【要約】

【課題】スタートアップ機能付きのバンドギャップレフ
アレンス回路の占有面積を低減する。

【解決手段】基準電圧を生成するバンドギャップ回路10とバンドギャップ回路の安定化を早めるスタートアップ回路20と信号レベル変換回路30で構成する。スタートアップ回路20内で大面積を専有するPMOS21aをチャネル長の小さいトランジスタに置き換えるとともに、信号レベルの不整合による誤動作を防止するため、バンドギャップ回路10内のPMOS11と同じチャンネル長をもつPMOS31でカレントミラー構成とし、NMOS32と同じチャンネル長をもつNMOS34でカレントミラー構成とし、PMOS33のチャンネル長をスタートアップ回路20内のPMOS21aのチャネル長と同じとするとともにカレントミラー構成とする。



【特許請求の範囲】

【請求項 1】 P N接合のバンドギャップに基づき所定の基準電圧を生成するバンドギャップ回路と、電源電圧供給開始時に前記バンドギャップ回路の前記基準電圧の出力安定化を加速するスタートアップ回路と、前記バンドギャップから前記スタートアップ回路の始動および停止を通知する第 1 の信号を入力し前記スタートアップ回路の入力信号レベルに整合させて信号レベルを変換した第 2 の信号を前記スタートアップ回路に出力する信号レベル変換回路とを備えることを特徴とするバンドギャップレフアレンス回路。

【請求項 2】 ソースが高位側電源に接続されゲートとドレインが互いに接続されるとともに第 1 の信号の出力端となる第 1 の P チャネルMOS トランジスタと、ドレインが前記第 1 の P チャネルMOS トランジスタのドレインに接続された第 1 の N チャネルMOS トランジスタと、一端が前記第 1 の N チャネルMOS トランジスタのソースに接続され他端が低位側電源に接続された第 1 の抵抗と、ソースが前記高位側電源に接続されゲートが前記第 1 の P チャネルMOS トランジスタのドレインに接続された第 2 の P チャネルMOS トランジスタと、ドレインが自身のゲートと前記第 2 の P チャネルMOS トランジスタのドレインと前記第 1 の N チャネルMOS トランジスタのゲートとに接続されソースが前記低位側電源に接続された第 2 の N チャネルMOS トランジスタと、ソースが前記高位側電源に接続されゲートが前記第 1 の P チャネルMOS トランジスタのドレインに接続されドレインを基準電圧出力端とする第 3 の P チャネルMOS トランジスタと、一端が前記第 3 の P チャネルMOS トランジスタのドレインと接続された第 2 の抵抗と、アノードが前記第 2 の抵抗の他端に接続されカソードが前記低位側電源に接続されたダイオードとを有するバンドギャップ回路と、

ソースが前記高位側電源に接続されゲートに第 2 の信号が入力された第 4 の P チャネルMOS トランジスタと、ソースが前記高位側電源に接続されゲートが前記第 4 の P チャネルMOS トランジスタのドレインに接続されドレインが前記バンドギャップ回路内の前記第 2 の N チャネルMOS トランジスタのドレインに接続された第 5 の P チャネルMOS トランジスタと、一端が前記第 4 の P チャネルMOS トランジスタのドレインに接続され他端が前記低位側電源に接続された第 3 の抵抗と、一端が前記第 4 の P チャネルMOS トランジスタのドレインに接続され他端が前記低位側電源に接続された容量とを有するスタートアップ回路と、

ソースが前記高位側電源に接続されゲートに前記第 1 の信号が入力された第 6 の P チャネルMOS トランジスタと、ドレインおよびゲートが前記第 6 の P チャネルMOS トランジスタのドレインと接続されソースが前記低位側電源に接続された第 3 の N チャネルMOS トランジ

タと、ソースが前記高位側電源に接続されドレインとゲートが互いに接続されるとともに前記第 2 の信号の出力端となる第 7 の P チャネルMOS トランジスタと、ドレインが前記第 7 の P チャネルMOS トランジスタのドレインに接続されゲートが前記第 3 の N チャネルMOS トランジスタのドレインに接続されソースが前記低位側電源に接続された第 4 の N チャネルMOS トランジスタとを有する信号レベル変換回路とを備えることを特徴とするバンドギャップレフアレンス回路。

【請求項 3】 前記第 1、第 2、第 3、第 5、第 6 の P MOS トランジスタの閾値電圧が第 1 の値であり、前記第 4、第 7 の PMOS トランジスタの閾値電圧が絶対値において前記第 1 の値より小さい第 2 の値である請求項 2 記載のバンドギャップレフアレンス回路。

【請求項 4】 前記第 1、第 2、第 3、第 5、第 6 の P MOS トランジスタのチャネル長が第 1 の値であり、前記第 4、第 7 の PMOS トランジスタのチャネル長が前記第 1 の値より小さい第 2 の値である請求項 2 記載のバンドギャップレフアレンス回路。

【請求項 5】 前記第 1、第 2、第 3、第 4 の N チャネルMOS トランジスタのチャネル長が前記第 2 の値より大きい第 3 の値である請求項 4 記載のバンドギャップリフアレンス回路。

【請求項 6】 ソースが高位側電源に接続されゲートとドレインが互いに接続された第 1 の P チャネルMOS トランジスタと、ドレインが前記第 1 の P チャネルMOS トランジスタのドレインに接続された第 1 の N チャネルMOS トランジスタと、一端が前記第 1 の N チャネルMOS トランジスタのソースに接続され他端が低位側電源に接続された第 1 の抵抗と、ソースが前記高位側電源に接続されゲートが前記第 1 の P チャネルMOS トランジスタのドレインに接続された第 2 の P チャネルMOS トランジスタと、ドレインが自身のゲートと前記第 2 の P チャネルMOS トランジスタのドレインと前記第 1 の N チャネルMOS トランジスタのゲートとに接続されるとともに第 1 の信号の出力端となりソースが前記低位側電源に接続された第 2 の N チャネルMOS トランジスタと、ソースが前記高位側電源に接続されゲートが前記第 1 の P チャネルMOS トランジスタのドレインに接続されドレインを基準電圧出力端とする第 3 の P チャネルMOS トランジスタと、一端が前記第 3 の P チャネルMOS トランジスタのドレインと接続された第 2 の抵抗と、アノードが前記第 2 の抵抗の他端に接続されカソードが前記低位側電源に接続されたダイオードとを有するバンドギャップ回路と、

ソースが前記高位側電源に接続されゲートに第 2 の信号が入力された第 4 の P チャネルMOS トランジスタと、ソースが前記高位側電源に接続されゲートが前記第 4 の P チャネルMOS トランジスタのドレインに接続されドレインが前記バンドギャップ回路内の前記第 2 の N チャ

ネルMOSトランジスタのドレインに接続された第5のPチャネルMOSトランジスタと、一端が前記第4のPチャネルMOSトランジスタのドレインに接続され他端が前記低位側電源に接続された第3の抵抗と、一端が前記第4のPチャネルMOSトランジスタのドレインに接続され他端が前記低位側電源に接続された容量とを有するスタートアップ回路と、ソースが前記高位側電源に接続されゲートとドレインが互いに接続されるとともに前記第2の信号の出力端となる第6のPチャネルMOSトランジスタと、ドレインが前記第6のPチャネルMOSトランジスタのドレインと接続されゲートに前記第1の信号が入力されソースが前記低位側電源に接続された第3のNチャネルMOSトランジスタとを有する信号レベル変換回路とを備えることを特徴とするバンドギャップレファレンス回路。

【請求項7】前記第1、第2、第3、第5のPMOSトランジスタの閾値電圧が第1の値であり、前記第4、第6のPMOSトランジスタの閾値電圧が絶対値において前記第1の値より小さい第2の値である請求項7記載のバンドギャップレファレンス回路。

【請求項8】前記第1、第2、第3、第5のPMOSトランジスタのチャネル長が第1の値であり、前記第4、第6のPMOSトランジスタのチャネル長が前記第1の値より小さい第2の値である請求項7記載のバンドギャップレファレンス回路。

【請求項9】前記第1、第2、第3のNチャネルMOSトランジスタのチャネル長が前記第2の値より大きい第3の値である請求項9記載のバンドギャップリファレンス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バンドギャップレファレンス回路に関し、特にスタートアップ回路付きのバンドギャップレファレンス回路に関する。

【0002】

【従来の技術】PN接合のバンドギャップに基づき温度変化に対して安定な所定の基準電圧を発生するバンドギャップレファレンス回路において、電源電圧供給開始から安定状態になるまでの時間を短縮するためのスタートアップ回路を備えたバンドギャップレファレンス回路が特開平8-186484号公報に記載されている。図4は、特開平8-186484号公報に記載された従来例の回路図である。

【0003】従来例のバンドギャップレファレンス回路は、能動状態のときに所定の基準電圧VREFを生成し出力するバンドギャップ回路10と、電源供給開始から基準電圧VREFが安定状態になるまでの時間を短縮するスタートアップ回路20を備えている。

【0004】バンドギャップ回路10は、ソースが高位側電源であるVDD電源に接続されゲートとドレインが

互いに接続されるとともに節点AとなるPチャネルMOSトランジスタ（以下PMOSとする）11と、ドレインがPMOS11のドレインに接続されたNチャネルMOSトランジスタ（以下NMOSとする）12と、一端がNMOS12のソースに接続され他端が低位側電源である接地に接続された第1の抵抗13と、ソースがVDD電源に接続されゲートがPMOS11のドレインに接続されたPMOS14と、ドレインが自身のゲートとPMOS14のドレインとNMOS12のゲートとに接続されるとともに節点Bとなりソースが接地に接続されたNMOS15とを有している。また、バンドギャップ回路10は、ソースがVDD電源に接続されゲートが節点Aと接続されドレインを基準電圧出力端とするPMOS16と、一端がPMOS16のドレインと接続された第2の抵抗17と、アノードが第2の抵抗17の他端に接続されカソードが接地に接続されたダイオード18とも有している。

【0005】前記した特開平8-186484号公報の記載によれば、バンドギャップ回路10の安定状態での基準電圧出力VREFは次式で表せる。

$$VREF = N \cdot (k \cdot T/q) \cdot \ln M + VF$$

ここで、N=（第1の抵抗13の抵抗値）/（第2の抵抗17の抵抗値）であり、kはボルツマン定数であり、Tは絶対温度であり、qは電子の電荷量であり、M=（NMOS12のゲート幅）/（NMOS15のゲート幅）であり、VFはダイオード18の順方向電圧である。なお、バンドギャップ回路を構成するPMOS11、PMOS14、PMOS16、NMOS12、NMOS15のそれぞれのチャネル長は、製造ばらつきによる特性変動を防止するために少なくとも10μm以上に設定され、より好ましくは50μmから100μmの程度に設定される。

【0006】スタートアップ回路12は、ソースがVDD電源に接続されたPMOS21と、ソースがVDD電源に接続されゲートがPMOS21のドレインに接続されて節点CとなるPMOS22と、一端が節点Cに接続され他端が接地に接続された第3の抵抗23と、一端が節点Cに接続され他端が接地に接続された容量とを有している。PMOS21のゲートにはバンドギャップ回路10内の節点Aから出力される信号S1が入力され、PMOS22のドレインはバンドギャップ回路10内の節点Bに接続されている。

【0007】図5は、図4の従来例の電源供給開始時ににおける動作タイミング図である。以下に、従来のバンドギャップレファレンス回路の電源供給開始時の動作を図5を参照して詳細に説明する。

【0008】電源VDDを図5のように略0Vの状態から3.3Vの状態へ上昇させたとする。電源VDDの立ち上げ初期すなわち図5の時刻t1から時刻t2までの期間では、PMOS11のソースがVDD電源の電位で

ゲートが略接地レベル（0 V）にあるので、PMOS 1のゲート・ソース間の電位差は絶対値においてPMOS 1 1の閾値電圧 $V_{t p 1}$ より小さいためにオフ状態である。PMOS 2 1のソース、ゲートの電位はPMOS 1 1と同じであるため、PMOS 2 1もオフ状態であり、したがって節点Cは接地レベルにある。

【0009】時刻 t_2 を過ぎて電源VDDの電位がさらに上昇すると、PMOS 1 1のゲート・ソース間の電位差が絶対値においてPMOS 1 1の閾値電圧 $V_{t p 1}$ より大きくなり、PMOS 1 1はオン状態となって節点AはVDD電源の電位から略 $V_{t p 1}$ 低下した電位を保って上昇する。同様にPMOS 2 1もオン状態となるが、節点Cの電位は抵抗2 3及び容量2 4のためにVDD電源の電位上昇速度に対して遙かに緩い速度で上昇する。

【0010】ここで、バンドギャップ回路1 0およびスタートアップ回路2 0のすべてのPMOSのチャネル長が等しく閾値電圧が $V_{t p 1}$ であるとすれば、時刻 t_2 を過ぎてVDD電源と節点Cの電位差が絶対値で $V_{t p 1}$ より大きくなると、PMOS 2 2もオン状態となるので節点Bは急速に充電される。

【0011】時刻 t_3 では、節点Bの電位が上昇したことによりNMOS 1 2及びNMOS 1 5はゲート電圧がその閾値電圧 $V_{t n}$ を越えてオン状態となり、このため、節点Aの電位の上昇が一時的に停滞する。節点Aの上昇が停滞したことにより、PMOS 2 1はゲート・ソース間の電位差が増大し、PMOS 2 1のオン状態が強まり、しかもPMOS 2 1にはPMOS 1 1に比較して数百倍の非常に大きなチャネル幅のPMOSを用いるので、時刻 t_4 において節点Cの電位はVDD電源の電位に向かって急速に上昇する。節点Cの電位がVDD電源の電位に近づくと、PMOS 2 2はオフとなるので、スタートアップ回路2 0はバンドギャップ回路1 0から電気的に分離される。電源VDDが所定の電位（図5では3.3 V）に安定すると、バンドギャップ回路1 0の端子A、B及び基準電圧出力VREFは、最終的にそれぞれの所定の電位レベルで安定する。

【0012】このように図4のスタートアップ回路付きのバンドギャップレフアレンス回路では、電源VDDが立ち上げられる時にバンドギャップ回路1 0の節点Bがスタートアップ回路2 0により瞬時に充電される。このため、スタートアップ回路が無く、節点Bをバンドギャップ回路内のPMOS 1 4を流れる微少電流のみにより充電する場合に比較して遙かに短時間でバンドギャップ回路を安定状態にすることが可能となる。

【0013】しかしながら、この従来のバンドギャップレフアレンス回路においては、スタートアップ回路2 0内のPMOS 2 1が大きなチャネル幅を必要とするために、スタートアップ回路の占有面積が大きくなり、面積縮小が要求されていた。この要求に応えるために、PMOS 2 1のみのチャネル長を他のPMOSに比較して1

\sqrt{n} に小さくすることにより、同時にチャネル幅も $1/\sqrt{n}$ 低減することが可能となるのでゲート面積を $1/(n \times \sqrt{n})$ に低減できるという提案がなされ、実験してみたところ、以下の新たな問題点が判明した。

【0014】図4のPMOS 2 1のみをチャネル長0.35 μm とし、その他のPMOSのチャネル長を80 μm としてバンドギャップレギュレータ回路を構成し、電源VDDを3.3 Vから一端0.6 Vに低下させ、500 msの時間0.6 Vに保持した後に再度3.3 VにVDDの電位を上昇させて、基準電圧出力VREFが所定の電位レベルに達して安定するまでの時間を測定したところ、PMOS 2 1のチャネル長を0.35 μm に短縮したバンドギャップレギュレータ回路は基準電圧出力VREFが安定するまでに異常に長い時間を必要とした。この原因を解析したところ、次のようなものであることが判明した。

【0015】実験した図4の構成のバンドギャップレギュレータ回路においては、チャネル長80 μm のPMOS 1 1、PMOS 1 4、PMOS 1 6及びPMOS 2 2の閾値電圧 $V_{t p 1}$ は(-0.9 V)であったのに対して、チャネル長0.35 μm のPMOS 2 1の閾値電圧 $V_{t p 2}$ は(-0.5 V)であった。この閾値電圧の低下はショートチャネル効果に起因するものである。

【0016】この構成で、VDD電源の電位が0.6 Vに低下したときには、PMOS 1 1が高インピーダンスなので節点Aはほぼ0 Vにあり、一方、PMOS 2 1は閾値電圧が(-0.5 V)であるのでオン状態を維持したままとなる。このため、節点Cの電位はVDD電源の電位が0.6 Vから上昇するとVDDと同じ電位で上昇する。したがって、PMOS 2 2はゲート、ソースとともに常にVDD電源の電位と等しくなり、オフ状態を維持したままでオン状態にならないため、スタートアップ回路2 0は正常に動作しないことになる。このため、スタートアップ回路2 0が無い状態と同じ状態でバンギャップ回路が動作することになり、節点Bは、PMOS 1 4を通じて流れる微少な電流のみで充電される。節点Bの電位上昇がきわめて遅いためにNMOS 1 2およびNMOS 1 5はともにゲートレベルが閾値電圧 $V_{t n}$ に満たない弱反転領域で動作を開始することになり、バンドギャップ回路が安定するまでに異常に長い時間を必要としたわけである。

【0017】

【発明が解決しようとする課題】以上に説明したように、従来のバンドギャップレフアレンス回路は、スタートアップ回路内の節点Cを充電するPMOS 2 1の占有面積が大きく、バンドギャップ回路全体の面積増大を招いていた。また、PMOS 2 1のチャネル長を短縮して占有面積を低減した場合には、瞬断時におけるVDD電源の最低電位によってはスタートアップ回路が正常に動作しないことがある。

【0018】本発明の目的は、PMOS21の面積を低減してバンドギャップレファレンス回路全体の占有面積を低減できるとともに、瞬断時のVDD電源の最低電位が何Vであるかに拘わらずに正常にスタートアップ動作ができるバンドギャップレファレンス回路を提供することにある。

【0019】

【課題を解決するための手段】本発明の第1の発明のバンドギャップレファレンス回路は、PN接合のバンドギャップに基づき所定の基準電圧を生成するバンドギャップ回路と、電源電圧供給開始時に前記バンドギャップ回路の前記基準電圧の出力安定化を加速するスタートアップ回路と、前記バンドギャップから前記スタートアップ回路の始動および停止を通知する第1の信号を入力し前記スタートアップ回路の入力信号レベルに整合させて信号レベルを変換した第2の信号を前記スタートアップ回路に出力する信号レベル変換回路とを備えている。

【0020】第2の発明のバンドギャップレファレンス回路は、ソースが高位側電源に接続されゲートとドレインが互いに接続されるとともに第1の信号の出力端となる第1のPチャネルMOSトランジスタと、ドレインが前記第1のPチャネルMOSトランジスタのドレインに接続された第1のNチャネルMOSトランジスタと、一端が前記第1のNチャネルMOSトランジスタのソースに接続され他端が低位側電源に接続された第1の抵抗と、ソースが前記高位側電源に接続されゲートが前記第1のPチャネルMOSトランジスタのドレインに接続された第2のPチャネルMOSトランジスタと、ドレインが自身のゲートと前記第2のPチャネルMOSトランジスタのドレインと前記第1のNチャネルMOSトランジスタのゲートとに接続されソースが前記低位側電源に接続された第2のNチャネルMOSトランジスタと、ソースが前記高位側電源に接続されゲートが前記第1のPチャネルMOSトランジスタのドレインに接続されドレンを基準電圧出力端とする第3のPチャネルMOSトランジスタと、一端が前記第3のPチャネルMOSトランジスタのドレインと接続された第2の抵抗と、アノードが前記第2の抵抗の他端に接続されカソードが前記低位側電源に接続されたダイオードとを有するバンドギャップ回路と、ソースが前記高位側電源に接続されゲートに第2の信号が入力された第4のPチャネルMOSトランジスタと、ソースが前記高位側電源に接続されゲートが前記第4のPチャネルMOSトランジスタのドレインに接続されドレインが前記バンドギャップ回路内の前記第2のNチャネルMOSトランジスタのドレインに接続された第5のPチャネルMOSトランジスタと、一端が前記第4のPチャネルMOSトランジスタのドレインに接続され他端が前記低位側電源に接続された第3の抵抗と、一端が前記第4のPチャネルMOSトランジスタのドレインに接続され他端が前記低位側電源に接続された

容量とを有するスタートアップ回路と、ソースが前記高位側電源に接続されゲートに前記第1の信号が入力された第6のPチャネルMOSトランジスタと、ドレインおよびゲートが前記第6のPチャネルMOSトランジスタのドレインと接続されソースが前記低位側電源に接続された第3のNチャネルMOSトランジスタと、ソースが前記高位側電源に接続されドレインとゲートが互いに接続されるとともに前記第2の信号の出力端となる第7のPチャネルMOSトランジスタと、ドレインが前記第7のPチャネルMOSトランジスタのドレインに接続されゲートが前記第3のNチャネルMOSトランジスタのドレインに接続されソースが前記低位側電源に接続された第4のNチャネルMOSトランジスタとを有する信号レベル変換回路とを備えている。

【0021】第2の発明のバンドギャップレファレンス回路において、前記第1、第2、第3、第5、第6のPMOSトランジスタの閾値電圧が第1の値であり、前記第4、第7のPMOSトランジスタの閾値電圧が絶対値において前記第1の値より小さい第2の値であってもよい。また、第2の発明のバンドギャップレファレンス回路において、前記第1、第2、第3、第5、第6のPMOSトランジスタのチャネル長が第1の値であり、前記第4、第7のPMOSトランジスタのチャネル長が前記第1の値より小さい第2の値であってもよく、さらに、前記第1、第2、第3、第4のNチャネルMOSトランジスタのチャネル長が前記第2の値より大きい第3の値であってもよい。

【0022】第3の発明のバンドギャップレファレンス回路は、第2の発明における信号レベル変換回路のみを、ソースが高位側電源に接続されゲートとドレインが互いに接続されるとともに第2の信号の出力端となる第6のPチャネルMOSトランジスタと、ドレインが前記第6のPチャネルMOSトランジスタのドレインと接続されゲートに第1の信号が入力されソースが低位側電源に接続された第3のNチャネルMOSトランジスタとを有する信号レベル変換回路に置き換えたものである。また、第3の発明のバンドギャップレファレンス回路において、前記第1、第2、第3、第5のPMOSトランジスタの閾値電圧が第1の値であり、前記第4、第6のPMOSトランジスタの閾値電圧が絶対値において前記第1の値より小さい第2の値であってもよい。である請求項7記載のバンドギャップレファレンス回路。また、第3の発明のバンドギャップレファレンス回路において、前記第1、第2、第3、第5のPMOSトランジスタのチャネル長が第1の値であり、前記第4、第6のPMOSトランジスタのチャネル長が前記第1の値より小さい第2の値であってもよい。さらに、前記第1、第2、第3のNチャネルMOSトランジスタのチャネル長が前記第2の値より大きい第3の値であってもよい。

【0023】

【発明の実施の形態】図1は、本発明のバンドギャップレファレンス回路の一実施形態の回路図である。本発明の特徴とするところは、バンドギャップ回路10とスタートアップ回路20との間に信号レベル変換回路を設けることにより、バンドギャップ回路10から出力されてチャネル長が大きいために閾値電圧が絶対値で大きいPMOSをオンオフできるような信号電圧レベルに整合した信号S1を、チャネル長が小さいため閾値電圧も絶対値で小さいスタートアップ回路内のPMOS21aをオンオフできる信号レベルに整合した信号S2に変換する点にある。以下に、図1のバンドギャップレファレンス回路の構成を説明する。

【0024】図1において、バンドギャップ回路10は従来例の図4と同様であり、ソースがVDD電源に接続されゲートとドレインが互いに接続されるとともに節点AとなるPMOS11と、ドレインがPMOS11のドレインに接続されたNMOS12と、一端がNMOS12のソースに接続され他端が接地に接続された第1の抵抗13と、ソースがVDD電源に接続されゲートがPMOS11のドレインに接続されたPMOS14と、ドレインが自身のゲートとPMOS14のドレインとNMOS12のゲートとに接続されるとともに節点Bとなりソースが接地に接続されたNMOS15とを有している。また、バンドギャップ回路10は、ソースがVDD電源に接続されゲートが節点Aと接続されドレインを基準電圧出力端とするPMOS16と、一端がPMOS16のドレインと接続された第2の抵抗17と、アノードが第2の抵抗17の他端に接続されカソードが接地に接続されたダイオード18とをも有している。

【0025】スタートアップ回路12も従来例の図4と同様であり、ソースがVDD電源に接続されたPMOS21aと、ソースがVDD電源に接続されゲートがPMOS21aのドレインに接続されて節点CとなるPMOS22と、一端が節点Cに接続され他端が接地に接続された第3の抵抗23と、一端が節点Cに接続され他端が接地に接続された容量とを有している。

【0026】本発明の特徴の信号レベル変換回路30は、ソースがVDD電源に接続されゲートがバンドギャップ回路10内の端子Aから供給される第1の信号S1を入力するPMOS31と、ゲートとドレインがPMOS31のドレインに接続されソースが接地に接続されたNMOS34と、ソースがVDD電源に接続されドレインがゲートとともに節点D1に接続されると同時に信号S2をスタートアップ回路20内のPMOS21aのゲートに出力するPMOS33と、ドレインがPMOS33のドレインに接続されゲートがNMOS32のドレインに接続されソースが接地に接続されたNMOS34とを有している。

【0027】図1において、PMOS11、PMOS14、PMOS16、PMOS22、PMOS31のチャ

ネル長は例えば80μmの第1の値のチャネル長とし、PMOS21a及びPMOS33は第1の値より小さい第2の値（たとえば0.35μm）のチャネル長とする。また、NMOS12、NMOS15、NMOS32、NMOS34は第2の値より大きな第3の値（たとえば70μm）のチャネル長とする。

【0028】バンドギャップ回路10内のPMOS11と信号レベル変換回路30内のPMOS31とがカレントミラーを構成し、信号レベル変換回路30内のNMOS32とNMOS34とがカレントミラーを構成し、信号レベル変換回路30内のPMOS33とスタートアップ回路20内のPMOS21aとがカレントミラーを構成することにより、閾値電圧Vtp1のPMOSに整合した信号S1を閾値電圧Vtp2のPMOSに整合した信号S2にレベル変換している。

【0029】また、PMOS31のチャンネル幅は、PMOS11のチャンネル幅に対して例えば3倍に大きく設定され、NMOS34のチャンネル幅は、NMOS32のチャンネル幅に対して例えば4倍に大きく設定され、PMOS21aのチャンネル幅は、PMOS33のチャンネル幅に対して例えば18倍に大きく設定される。この構成によりスタートアップ動作時には、PMOS21aにPMOS11の電流に対して、 $3 \times 4 \times 18 = 216$ 倍の電流をPMOS21aに流すことができる。

【0030】図2は、本実施形態における電源供給開始時における動作タイミング図である。図2では、図4の従来例でPMOS21のチャネル長を小さく設定して誤動作を生じた電源変化状況と同様に、電源VDDを0.6Vの状態から3.3Vの状態へ上昇させている。以下、図2を参照しながら図1のバンドギャップレファレンス回路の動作を説明する。

【0031】電源VDDの電位が0.6Vのとき（ $t < t_1$ の時刻）には、節点Aは、PMOS11の弱反転領域での微少電流とNMOS12の弱反転領域での微少電流が釣り合って定まる電位にあり、節点Bも同様に、PMOS14の弱反転領域での微少電流とNMOS15の弱反転領域での微少電流が釣り合って定まる電位にある。節点Cは、抵抗23を通じて接地電位0Vとなっている。節点D1の電位は、PMOS11の弱反転領域での電流をもとにPMOS31とのカレントミラーおよびNMOS32とNMOS34とのカレントミラーを介してPMOS33に流れる電流により定まるが、PMOS33に流れる電流値も小さく弱反転領域の範囲であるため、接点D1の電位は少なくとも（（VDD電位）－（節点D1の電位））<（PMOS33の閾値電圧Vtp2の絶対値）を満たしてPMOS33がオフ状態を維持することが保証される。この結果として閾値電圧が同じVtp2であるPMOS21aのオフ状態も保証され、バンドギャップレファレンス回路を構成するすべてのMOSトランジスタがオフ状態にある。

【0032】時刻 t_1 から V_{DD} 電源が徐々に上昇を始めるとき $PMOS33$ がオンし、節点 D_1 はその後ほぼ $(V_{DD} \text{ 電位}) - (節点 } D_1 \text{ の電位}) = (V_{tp2} \text{ の絶対値})$ を保ったまま V_{DD} に追随して上昇する。スタートアップ回路の節点 C の電位は抵抗 R_3 及び容量 C_4 のために V_{DD} 電源の電位上昇速度に対して遙かに緩い速度で上昇を始める。

【0033】時刻 t_2 において V_{DD} 電源の電位が $PMOS11$, $PMOS14$ などの長チャネルの MOS トランジスタの閾値電圧 V_{tp1} の絶対値を越えると、 $PMOS11$ はオン状態となって節点 A は V_{DD} 電源の電位から略 V_{tp1} 低下した電位を保って上昇する。また、 V_{DD} 電源の電位上昇に伴って $PMOS22$ のゲート・ソース間電位差が増大するので $PMOS22$ はオン状態が強まり、節点 B が急速に充電される。

【0034】時刻 t_3 では、節点 B の電位が上昇したことにより $NMOS12$ 及び $NMOS15$ はゲート電圧がその閾値電圧 V_{tn} を越えてオン状態となり、このため、節点 A の電位の上昇が一時的に停滞する。節点 A の電位上昇が停滞することにより V_{DD} 電源と節点 A との電位差が増大するので、 $PMOS11$ に流れる電流が増大し、これとカレントミラーの関係にある $PMOS31$ に流れる電流も増大し、 $NMOS32$ および $NMOS34$ の電流も増大する。したがって、節点 D_1 の電位は時刻 t_4 で一時的に低下し、 $PMOS33$ に流れる電流が急増しカレントミラーの関係の $PMOS21a$ に流れる電流も急増するので、節点 C の電位は V_{DD} 電源の電位に向かって急速に上昇する。節点 C の電位が V_{DD} 電源の電位に近づくと、 $PMOS22$ はオフとなるので、スタートアップ回路 20 はバンドギャップ回路 10 から電気的に分離される。電源 V_{DD} が所定の電位（図 5 では $3.3V$ ）に安定すると、バンドギャップ回路 10 の端子 A , B 及び基準電圧出力 V_{REF} は、最終的にそれぞれの所定の電位レベルで安定する。

【0035】以上述べたように、本実施形態においては、信号レベル変換回路 30 の設置により、 t_1 時刻までの電源 V_{DD} の電位が $0.6V$ である期間における節点 D_1 の電位が $(V_{DD} \text{ 電位}) - (節点 } D_1 \text{ の電位}) < (PMOS33 \text{ の閾値電圧 } V_{tp2} \text{ の絶対値})$ となるので、閾値電圧が V_{tp2} である $PMOS21a$ はオフ状態となることが保証されるため、瞬断時の V_{DD} 電源の最低電位が何 V であるかに拘わらずに正常なスタートアップ動作が可能となる。また、 $PMOS21a$ のチャネル長を $80\mu m$ から $0.35\mu m$ に変更することによる面積減少が著しいため、信号レベル変換回路を新たに付加することによる面積増大を吸収してなお大幅な面積低減を達成できる。

【0036】図 3 は、本発明の第 2 実施形態の回路図である。図 3 において、バンドギャップ回路 10 の構成およびスタートアップ回路 20 の構成については図 1 の第

1 実施形態と同じであるので省略する。この第 2 実施形態では、信号レベル変換回路 40 が、ソースが V_{DD} 電源に接続されドレインとゲートが節点 D_2 に接続されるとともに信号 S_2 をスタートアップ回路 20 の $PMOS21a$ のゲートに供給する $PMOS41$ と、ドレインが $PMOS41$ のドレインに接続されゲートが節点 B に接続されソースが接地に接続された $NMOS42$ を備えている。

【0037】バンドギャップ回路 10 内の $PMOS11$, $PMOS14$, $PMOS16$ とスタートアップ回路 20 内の $PMOS22$ とは同一の第 1 の値の長いチャネル長を有し、 $PMOS41$ とスタートアップ回路 20 内の $PMOS21a$ とは第 1 の値より小さい第 2 の値のチャネル長を有し、 $NMOS42$ とバンドギャップ回路 10 内の $NMOS12$ および $NMOS15$ とは、第 2 の値より大きい第 3 の値のチャネル長を有している。また、バンドギャップ回路 10 内の $NMOS15$ と信号レベル変換回路 40 内の $NMOS42$ はカレントミラーを構成し、同様に信号レベル変換回路 40 内の $PMOS41$ とスタートアップ回路 20 内の $PMOS21a$ はカレントミラーを構成している。

【0038】信号レベル変換回路 40 は、閾値電圧 V_{tn} の $NMOS$ をオンオフするように信号レベルが整合された信号 S_1 を入力して、閾値電圧 V_{tp1} の $PMOS21a$ をオンオフできる信号レベルに整合させて変換された信号 S_2 を出力する。

【0039】図 3 の回路構成においても、 V_{DD} 電源の最低電位が $PMOS21a$ の閾値電圧 V_{tp2} ($= -0.5V$) の絶対値より高く $PMOS11$ 等の閾値電圧 V_{tp1} ($= -0.9V$) の絶対値より低い $0.6V$ である場合には、節点 B の電位は $NMOS15$ の閾値電圧 V_{tn} 以下になるので $NMOS15$ および $NMOS42$ には弱反転領域の微少電流しか流れない。したがって、 V_{DD} 電源と節点 D_2 の電位差が $PMOS41$ および $PMOS21a$ の閾値電圧 V_{tp2} の絶対値以下になるので $PMOS21a$ はオフ状態となり、結果として節点 C の電位は、図 1 の回路構成の場合と同様に $0V$ になる。

【0040】 V_{DD} 電源の電位が $0.6V$ から上昇すると、 V_{DD} 電源と節点 C の電位差が増大して $PMOS22$ のオン状態が強まり、節点 B を急速に充電する。節点 B と接地との電位差が $NMOS15$ の閾値電圧 V_{tn} を越えて $NMOS15$ がオン状態となると同時に $NMOS42$ もオン状態となり、節点 D_2 の電位を引き下げる。これにより、 $PMOS41$ に流れる電流が増大するため、節点 C の電位は V_{DD} 電源の電位まで急速に上昇して $PMOS22$ をオフ状態にし、スタートアップ回路 20 はバンドギャップ回路から切り離される。

【0041】このように、図 3 の回路構成では、図 1 の回路構成と同様に瞬断時の V_{DD} 電源の最低電位が何 V

であるかに拘わらずに正常なスタートアップ動作が可能となることに加えて、図3の信号レベル変換回路40は2個のMOSトランジスタで構成できるので、占有面積を図1の回路構成に比較してさらに低減できる。

【0042】

【発明の効果】以上のように、本発明を適用することにより、瞬断時のVDD電源の最低電位が何Vであるかに拘わらずに正常にスタートアップ動作が可能であるという特性を損なうことなく、スタートアップ回路内のPMOSの面積を低減することにより全体回路の占有面積を低減することができるという効果がある。第2実施形態によれば、信号レベル変換回路の構成トランジスタ数を削減できるので、さらに占有面積を低減することができる。

【図面の簡単な説明】

【図1】本発明のバンドギャップレファレンス回路の第1実施形態の回路図である。

【図2】第1実施形態における電源供給開始時における

動作タイミング図である。

【図3】本発明のバンドギャップレファレンス回路の第2実施形態の回路図である。

【図4】従来例のバンドギャップレファレンス回路の回路図である。

【図5】従来例の電源供給開始時における動作タイミング図である。

【符号の説明】

10 バンドギャップ回路

11, 14, 16, 21, 22, 31 PMOS (チャネル長が大)

12, 15, 32, 34, 42 NMOS

13, 17, 23 抵抗

18 ダイオード

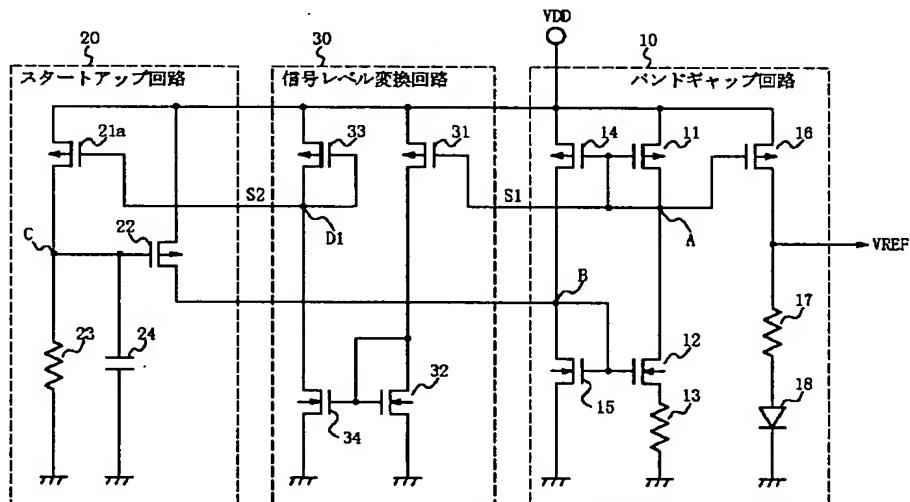
20 スタートアップ回路

21a, 33, 41 PMOS (チャネル長が小)

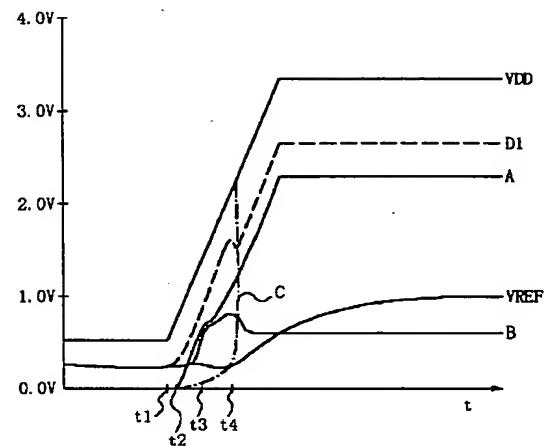
24 容量

30, 40 信号レベル変換回路

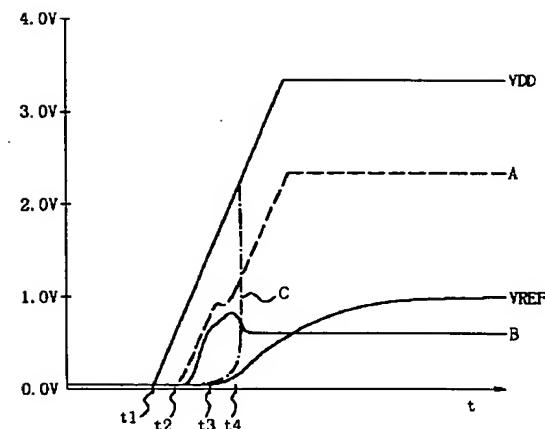
【図1】



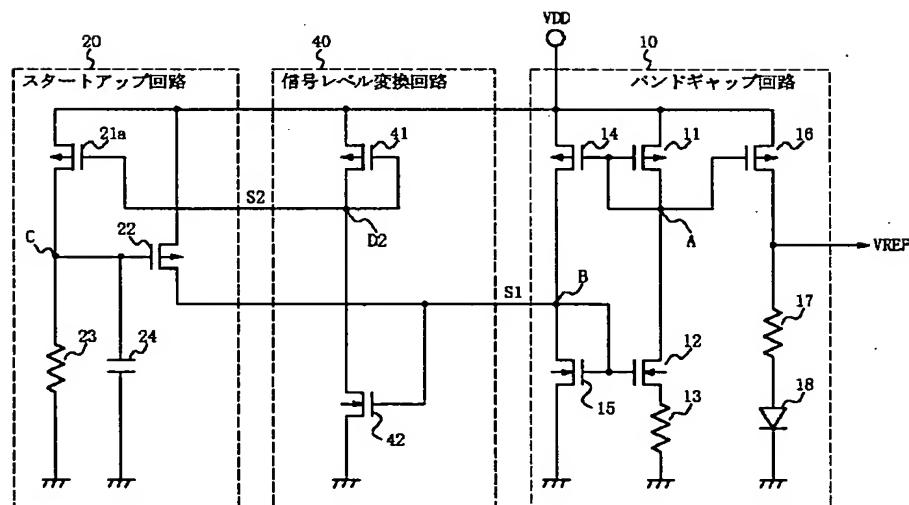
【図2】



【図5】



【図3】



【図 4】

